

A semiconductor device driving circuit has an overcurrent protection unit with a delay for protecting the semiconductor device from an overcurrent in a predetermined level and a short circuit current reducing circuit for reducing a short circuit current having a level larger than the overcurrent.

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2643459号

(45) 発行日 平成9年(1997) 8月20日

(24) 登録日 平成9年(1997) 5月2日

(51) Int.Cl.⁸

H 0 3 K 17/08

識別記号

庁内整理番号

F I

H 0 3 K 17/08

技術表示箇所

B

請求項の数 3 (全 6 頁)

(21) 出願番号	特願平1-176318	(73) 特許権者	999999999 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号
(22) 出願日	平成1年(1989) 7月6日	(72) 発明者	福永 匡則 兵庫県伊丹市瑞原4丁目1番地 三菱電 機株式会社北伊丹製作所内
(65) 公開番号	特開平3-40517	(72) 発明者	ゴープ マジウムダール 兵庫県伊丹市瑞原4丁目1番地 三菱電 機株式会社北伊丹製作所内
(43) 公開日	平成3年(1991) 2月21日	(74) 代理人	弁理士 宮田 金雄 (外3名)
		審査官	川名 幹夫

(54) 【発明の名称】 パワーデバイスの駆動・保護回路

(57) 【特許請求の範囲】

【請求項1】 ゲート抵抗を介して出力電圧を電圧制御形パワーデバイスに与える駆動回路において、上記パワーデバイスがオフ状態のときにそのデバイスのゲートとエミッタ間をゲート抵抗より低インピーダンスとするターンオフ回路を備えたことを特徴とするパワーデバイスの駆動・保護回路。

【請求項2】 ゲート抵抗を介して出力電圧を電圧制御形パワーデバイスに与える駆動回路において、上記パワーデバイスの電流センサよりの信号を第1の基準電圧と比較し、その出力を遅延回路を通して上記パワーデバイスの駆動回路に帰還し、過電流を検出したとき設定時間後にパワーデバイスをオフ状態にする過電流保護回路と、上記電流センサよりの信号を第1の基準電圧より大きな第2の基準電圧と比較し、短絡を検出したと

き上記駆動回路の出力電圧を低下させる短絡保護回路とを備え、この短絡保護回路の検出時における上記電流センサよりの信号を過電流保護回路の検出レベル以上に設定することにより、設定時間後にパワーデバイスをオフ状態にすることを特徴とするパワーデバイスの駆動・保護回路。

【請求項3】 ゲート抵抗を介して出力電圧を電圧制御形パワーデバイスに与える駆動回路において、上記パワーデバイスがオフ状態のときにそのデバイスのゲートとエミッタ間をゲート抵抗より低インピーダンスとするターンオフ回路と、上記パワーデバイスの電流センサよりの信号を第1の基準電圧と比較し、その出力を遅延回路を通して上記パワーデバイスの駆動回路に帰還し、過電流を検出したとき設定時間後にパワーデバイスをオフ状態にする過電流保護回路と、上記電流センサよ

りの信号を第1の基準電圧より大きな第2の基準電圧と比較し、短絡を検出したとき上記駆動回路の出力電圧を低下させる短絡保護回路とを備え、この短絡保護回路の検出時における上記電流センサよりの信号を過電流保護回路の検出レベル以上に設定することにより、設定時間後にパワーデバイスをオフ状態にすることを特徴とするパワーデバイスの駆動・保護回路。

【発明の詳細な説明】

【産業上の利用分野】

本発明は、電圧制御形パワーデバイスを出力素子として用いるパワーICモジュール等のパワーデバイス回路に関し、特にそのパワーデバイスの駆動回路において過電流及び短絡の保護機能を持つパワーデバイスの駆動・保護回路に関するものである。

【従来の技術】

従来、パワーデバイス回路において用いられている電圧制御形パワーデバイスの駆動・過電流保護回路の一例を第3図に示して説明する。第3図において、1はマイクロコンピュータ（以下マイコンと略称する）、2は駆動（ドライバ）回路、3は電流検出内蔵の電圧制御形パワーデバイスとしてのIGBTであり、そのエミッタEは接地され、コレクタCが誘導性負荷6に接続されている。そして、このIGBT3を駆動する駆動回路2にはマイコン1より入力信号VINが入力され、ゲート抵抗4を介してIGBT3のゲートGに接続されている。また駆動回路2はそのゲートGに逆バイアスを印加するため+VCCと-VEEの2電源が供給されている。また、IGBT3のセンスSとエミッタEの間に接続されたセンス抵抗5によりIGBT3のコレクタ電流ICをモニターし、その電圧と基準電圧源7の基準電圧Vref1を比較器8で比較することにより、過電流の検出を行ない、過電流状態になると異常信号VF0をマイコン1に出力するものとなっている。

次に動作について第4図のタイミングチャートを参照して説明する。なお、第4図において太い矢印で示す符号Iの部分は通常時の波形を示し、同じく符号IIの部分は過電流時の波形を、符号IIIの部分は短絡時の波形をそれぞれ示している。

まず通常の状態（符号Iの部分）では、マイコン1よりの第4図（d）に示す入力信号VINに対応して、駆動回路2の出力であるゲート印加電圧VGEは、-VEEから+VCCの電源レベルとなる（第4図（d））。このため、IGBT3はオン状態となり、コレクタ電流ICが流れる（第4図（a））。そしてコレクタ電流ICが増加し、過電流検出レベルを越えた過電流状態（符号IIの部分）では、コレクタ電流ICが過電流検出レベル2Iを越えると、比較器8からマイコン1に異常信号VF0が出力される（第4図（c））。すると、マイコン1はその異常信号に基づき処理を行なった後、入力信号VINを「H」レベルから「L」レベルとする（第4図（d））。そのため、駆動回路2はその出力を-VEEの電源レベルとし、IGBT3のゲ

ートGを逆バイアスすることによってIGBT3をオフとし、コレクタ電流ICを遮断する。また、符号SHで示す短絡時に短絡電流が流れた状態（符号IIIの部分）でも、その電流が過電流検出レベル2Iを越えるため、過電流状態と同様の動作によりコレクタ電流ICを遮断し、保護を行なうことができる。

【発明が解決しようとする課題】

しかし、従来の電圧制御形パワーデバイスの駆動・過電流保護回路は、以上のように構成されているので、過電流が発生し、パワーデバイスの保護のためにゲート印加電圧を下げるためにマイコンによる信号処理が必要であつた。また、マイコンのソフトウェアによるために計算時間や異常信号のサンプリング時間が必要なため、入力信号にフィードバックをかけるのに時間がかかる。このためパワーデバイスに短絡が生じた場合、フィードバックがかかるまで、パワーデバイスが破壊しない短絡耐量のあるデバイスを使用しなければならず、スイッチングスピード、VCE(sat)等の特性を悪くした状態で使用していた。また、パワーデバイスをブリッジ構成に接続した場合、オフ状態のデバイスにdv/dtが印加されゲート電圧が上昇し、誤動作するのを防止するために、オフ時にゲートを逆バイアスする必要がある。このため、駆動回路を2電源で使用するか、あるいは1電源で、逆バイアス用のダイオード回路やレギュレータ回路を使用する必要があつた。

本発明は上記のような問題点に解消するためになされたもので、IGBTなどのパワーデバイスの短絡耐量に関係なく、スイッチングスピードとVCE(sat)等の特性の良い状態のデバイスを使用するための、過電流保護・短絡保護回路を得るとともに、1電源で、逆バイアスをしないでdv/dtによるゲート電圧の誤動作をしない駆動回路を得ることを目的とする。

【課題を解決するための手段】

本発明に係る電圧制御形パワーデバイスの駆動・過電流及び短絡保護回路は、短絡が発生すると同時に、そのパワーデバイスのゲート印加電圧を低下させてそのコレクタ電流を低下させる動作を入力パルス毎に行なうとともに、過電流保護は、過電流発生から誘導性負荷などの場合のフリーホイールダイオードのリカバリー電流を考慮し、あるデレイ時間後に直接駆動回路の遮断を行なう。また、その駆動回路のオフ時に、IGBT等のパワーデバイスのゲートとエミッタ間を低インピーダンスでショートしたものである。

【作用】

本発明に係る短絡保護回路は、短絡が発生すると同時にゲート印加電圧を低下させ、コレクタ電流を低下させることができるので、IGBT等のパワーデバイスの短絡耐量にあわせて短絡とする検出値を設定でき、スイッチングタイム、VCE(sat)を最良にしたデバイスを自由に使用できる。また過電流保護回路も、フリーホイールのリカ

バリー電流分を除くためのデレイ時間を設けるだけで、直接駆動回路を遮断するため、高速動作が可能となる。しかもマイコンによる信号処理は不要で、異常信号による状態検出のマイコンは行なうだけとなり、マイコンの負荷が軽くなる。また、IGBT等のパワーデバイスのオフ時に、ゲートとエミッタ間を低インピーダンスでショートすることにより、 dv/dt によるゲート誤動作を防止できるとともに、逆バイアス回路が不要となり、1電源で、すべての駆動保護回路を動作させることが可能となる。

【実施例】

以下、本発明の一実施例を図について説明する。第1図は本発明によるパワーデバイスの駆動・保護回路の一実施例を示すブロック構成図である。第1図において、マイコン1よりの入力信号VINは、R/Sフリップフロップであって、入力信号がリセット端子に接続され入力信号が印加される度にリセットされるパルス・バイ・パルス形のラッチ回路10を経て駆動回路2とターンオフ回路11に入力されると共に、駆動回路2からゲート抵抗4を介してIGBT3のゲートGに接続される。そして入力信号のオフ時には、ターンオフ回路11によりIGBT3のゲートGを低インピーダンスでグラウンド（IGBT3のエミッタ電位）にショートするように接続されている。また、IGBT3のセンスSとエミッタEの間に接続されたセンス抵抗5により、IGBT3のコレクタ電流ICをモニターし、短絡検出は基準電圧源12の基準電圧Vref2と、過電流検出は基準電圧源7の基準電圧Vref1（Vref2）と電圧比較をそれぞれ比較器13、比較器8で行なう。さらに、短絡保護用の比較器13の出力は、入力信号VINが入力されるパルス・バイ・パルス形ラッチ回路14に入力され、短絡が発生するとその入力信号のオン状態中、駆動回路2の出力電圧をゲート抵抗4と4aで抵抗分割して、IGBT3のゲートに印加するように接続されている。また、過電流保護用の比較器8の出力は、誘導性負荷6側のフリーホイールダイオード（図示せず）によるリカバリー電流分を除くべく予め決められたデレイ時間tdのデレイ回路9を介して、マイコン1に異常信号を出力するとともに、駆動回路2の出力を遮断するためパルス・バイ・パルス形スイッチ回路10に入力されている。なお、図中同一符号は同一または相当部分を示している。

次に上記実施例構成の動作について、第2図のタイミングチャートを参照して説明する。まず通常の動作（符号Iの部分）では、マイコン1よりの第2図（d）に示す入力信号VINに対応して、駆動回路2の出力であるゲート印加電圧VGEが+VCCの電源レベルになり（第2図（b））、IGBT3はオンしてコレクタ電流ICが流れる（第2図（a））。そしてコレクタ電流ICが増加して過電流検出レベル21をこえると（符号IIの部分）、過電流保護回路を構成する比較器8の出力信号は、そのデレイ回路9のデレイ時間tdだけ遅れて、ラッチ回路10を

経て駆動回路2を遮断し、その出力のゲート印加電圧VGEを「0」Vとし、同時に異常信号VF0をマイコン1に出力する。そのため、マイコン1は異常信号の発生を検知するだけでよく、入力信号が「L」レベルになると、パルス・バイ・パルス形ラッチ回路10により自動的に異常状態のラッチはリセットされる。

また、符号SHで示す短絡時に短絡電流が流れた場合（符号IIIの部分）は、そのコレクタ電流ICが短絡検出レベル22を越えると同時に、短絡保護回路を構成する比較器13の出力がパルス・バイ・パルス形ラッチ回路14に入力される。これにより、ゲート印加電圧VGEがVCC電源レベルからゲート抵抗4及び4aの抵抗分割により低下し（第2図（b））、そのラッチ回路14によつて入力信号が「H」レベルの間はラッチする。そして上記短絡保護回路が働き、コレクタ電流ICは減少するが、この時の電流値を過電流検出レベル21以上とすると、上記過電流状態と同様に「td」の時間遅れの後、IGBT3のゲートを遮断し、異常信号を出力する（第2図（c））。

また、駆動回路2とターンオフ回路11のタイミングは、その駆動回路2の出力が「L」レベルから「H」レベルとなる直前に、ターンオフ回路11はIGBT3のゲート・エミッタ間を高インピーダンスにし、「H」レベルから「L」レベルになった直後に、ゲート・エミッタ間を低インピーダンスにする。これにより、IGBT3がオフ状態では、ターンオフ回路11によりIGBT3のゲート・エミッタが低インピーダンスにショートされる。そのため、IGBTをブリッジ構成とした場合に発生する dv/dt に伴うゲート電圧変動による誤動作を防止することができる。

なお、上記実施例では、パワーデバイスとして電流検出内蔵IGBTについて述べたが、電圧制御形のパワーデバイスであれば、MOS FET等であつてもよく、また電流検出内蔵のデバイスでなくても、他の方法によりコレクタ電流をモニターし、電流を電圧に変換するセンサを用いれば、上記実施例と同様の効果を奏する。

また、短絡保護回路が動作した時、上記実施例ではコレクタ電流が過電流検出レベル以上である場合について述べたが、コレクタ電流が過電流検出レベル以下になつた場合は、短絡保護回路出力（パルス・バイ・パルス形ラッチ回路14の出力）を電流検出用基準電圧源7にフィードバックし、短絡が発生した場合の過電流検出レベルを下げれば上記実施例と同様の効果を奏する。

【発明の効果】

以上のように本発明によれば、駆動回路においてパワーデバイスのオフ状態時にゲート・エミッタを低インピーダンスにしたことにより、逆バイアスが不要になり、1電源化を実現できるとともに、短絡保護回路と過電流保護回路の組合せにより、パワーデバイスの短絡耐量を考慮することなしに使用できる。また、マイコン等の外部フィードバックを必要とせずに保護を行なうので、高

速動作が可能となり、安価な回路が得られる効果がある。

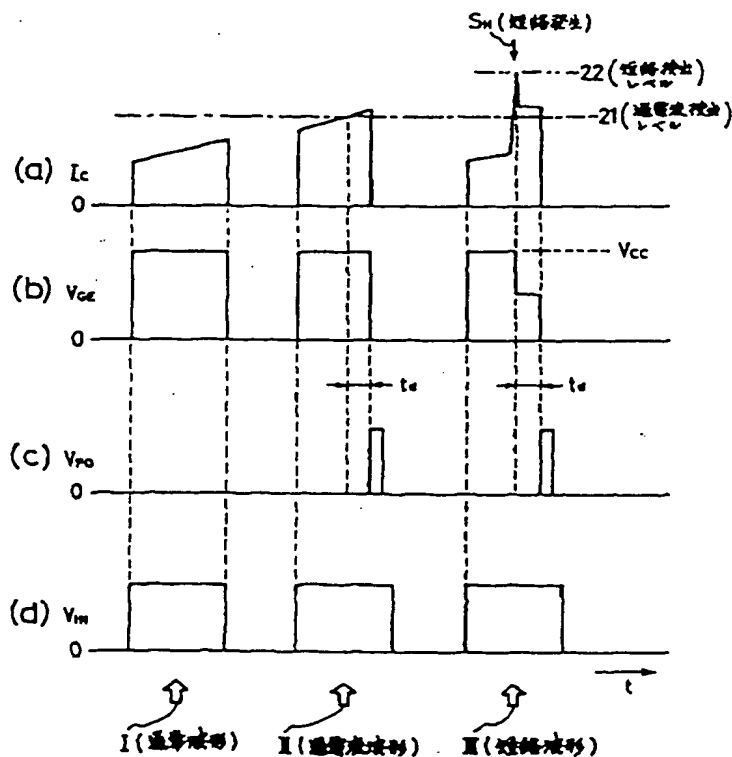
【図面の簡単な説明】

第1図は本発明の一実施例によるパワーデバイスの駆動・保護回路のブロック構成図、第2図はその実施例の動作説明に供するタイミングチャート、第3図は従来例による駆動・過電流保護回路のブロック構成図、第4図は

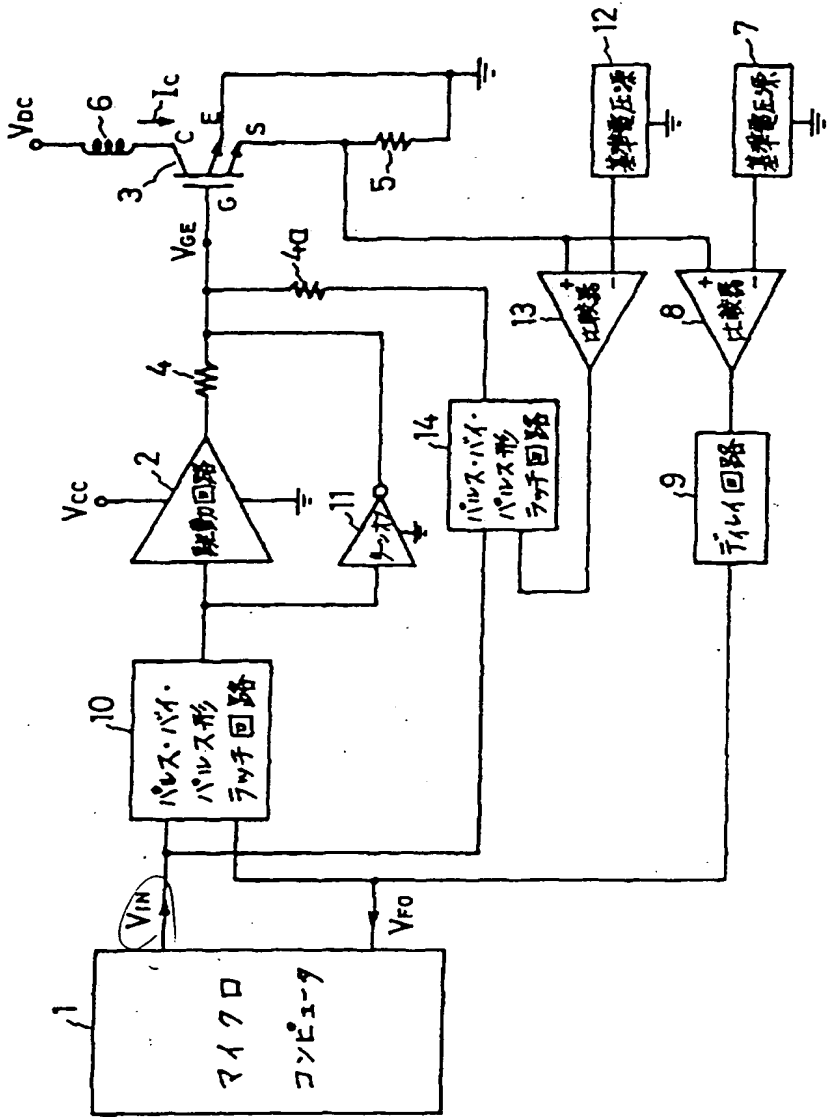
そのタイミングチャートである。

2……駆動回路、3……IGBT、4、4a……ゲート抵抗、5……センス抵抗、6……誘導性負荷、7、12……基準電圧源、8……過電流保護用比較器、9……デレイ回路、10、14……ラッチ回路、11……ターンオフ回路、13……短絡保護用比較器。

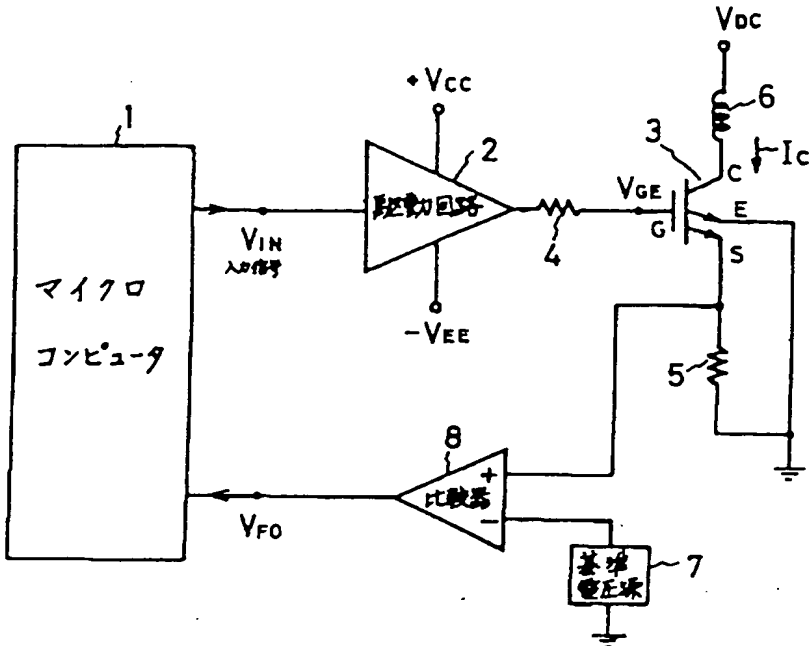
【第2図】



【第1図】



【第3図】



【第4図】

